

18 ANSWER 3 OF 15 CA COPYRIGHT 2000 ACS
20 124:304399 CA
21 Manufacture of semiconductor device
22 Tateishi, Masahiro; Takahashi, Taka
23 Nippon Kokan Kk, Japan
24 Ipn. Kokai Tokkyo Koho, 6 pp.
25 JCDEN: JKXXXAF
26 Patent
27 Japanese
PAN.CNT 1

Rif-a

PATENT NO.	KIND	DATE	APPLICATION NO.	DATE
JP 08031935	A2	19960202	JP 1994-161153	19940713

AB The manuf. comprises these steps: (1) forming an underlayer structure (A) on a semiconductor substrate. (2) forming an insulating layer (B) covering all the undersurface of A, (3) forming a contact hole (C) in B, (4) forming a metal layer (D) on B and C, (5) etching D anisotropically to the

extent so that the metal residue might not remain in C, to form a plug, and (6) pptg. the same metal as D on the plug formed in C selectively. The manuf. comprises these steps: (1), (2), (3), (4') forming an electrically conductive diffusion-preventing layer (E) on all the surface of B and C, (4") forming D on all the surface of E, (5), and (6). The metal forming the plug may be W. The manuf. enables a stable wiring for an over-etching burying the recess in the plugs.

Entry 1 of 2 File: JPAB

Feb 2, 1996

PUB-NO: JP408031935A

DOCUMENT-IDENTIFIER: JP 08031935 A

TITLE: MANUFACTURE OF SEMICONDUCTOR DEVICE

PUBN-DATE: February 2, 1996

INVENTOR-INFORMATION:

NAME

TATEISHI, MASAHIRO

TAKAHASHI, TAKAO

INT-CL (IPC): H01L 21/768; H01L 21/285

ABSTRACT:

PURPOSE: To obtain a manufacturing method in which the recess of a plug inside a contact hole generated by an overetching operation and the roughness of a surface are eliminated and which can perform a wiring operation stably.

CONSTITUTION: A manufacturing method includes a process wherein a metal layer by tungsten or the like as a material for a plug is formed on the whole surface of an insulating layer in order to form the plug in a contact hole formed in the insulating layer covering the whole surface of a lower-part structure for a semiconductor device, a process wherein the metal layer is anisotropically etched until the residue of the metal layer is not left on the insulating layer and the plug is formed inside the contact hole and a process wherein the same metal as the metal layer precipitated selectively on the plug formed inside the contact hole.

Entry 1 of 2

File: DWPI

Feb 2, 1996

DERWENT-ACC-NO: 1996-144641

DERWENT-WEEK: 199615

COPYRIGHT 2000 DERWENT INFORMATION LTD

TITLE: Semiconductor device mfg. method - involves depositing semiconductor substructure, insulation layer, contact hole and electrical connection, tungsten^a which is etched to form plug in hole and tungsten layer, on substrate

PRIORITY-DATA:

1994JP-0161153

July 13, 1994

PATENT-FAMILY:

PUB-NO	PUB-DATE	LANGUAGE	PAGES	MAIN-IPC
JP 08031935 A	February 2, 1996	N/A	006	H01L021/768

INT-CL (IPC): H01L 21/285; H01L 21/768

ABSTRACTED-PUB-NO: JP08031935A

BASIC-ABSTRACT:

The mfg method involves formation of a semiconductor element substructure on a semiconductor substrate. An insulation layer is formed on the sub-structure. A contact hole is opened in the insulation hole layer through which the electrical connection are formed to the sub-structure.

A tungsten layer is formed on the insulated layer on contact hole. The anisotropic etching of tungsten layer is then carried out until the sum of the metal ceases to remain on the insulation layer. Thus a plug is formed in the contact hole. The tungsten metal is deposited on the plug.

ADVANTAGE - Provides wiring with stabilised characteristics. Provides hole with high aspect ratio. Obtains electrically conductive connection between plug and substrate.

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-31935

(43)公開日 平成8年(1996)2月2日

(51)Int.Cl.⁶
H 01 L 21/768
21/285

識別記号

府内整理番号

C

F I

技術表示箇所

H 01 L 21/ 90

C

A

審査請求 未請求 請求項の数 3 O.L. (全 6 頁)

(21)出願番号 特願平6-161153

(22)出願日 平成6年(1994)7月13日

(71)出願人 000004123

日本钢管株式会社

東京都千代田区丸の内一丁目1番2号

(72)発明者 立石 正博

東京都千代田区丸の内一丁目1番2号 日本钢管株式会社内

(72)発明者 高橋 崇夫

東京都千代田区丸の内一丁目1番2号 日本钢管株式会社内

(74)代理人 弁理士 濑野 秀雄 (外1名)

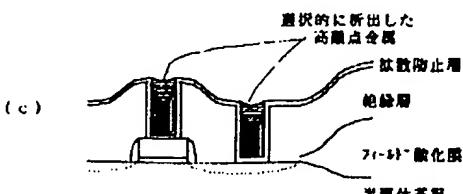
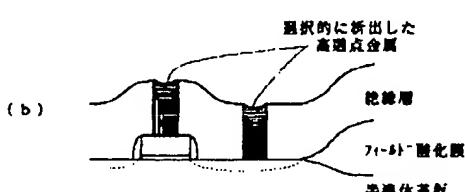
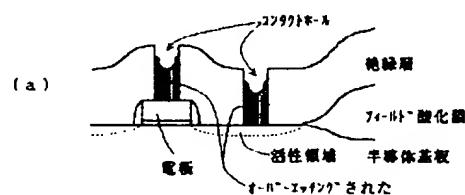
(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【目的】 オーバーエッチングによって生じるコンタクトホール内のプラグのリセスや表面の荒れを解消して、安定した配線を行い得るようにすることを目的とする。

【構成】 半導体装置の製造方法において、半導体装置の下部構造の全面を覆う絶縁層に設けたコンタクトホールにプラグを形成するために、この絶縁層の全面にプラグの材料となるタンクステンなどの金属層を形成する工程と、この金属層の残渣が上記絶縁層上に残らなくなるまで異方性エッチングして上記コンタクトホール内にプラグを形成する工程と、このコンタクトホール内に形成されたプラグに上記金属層と同一の金属を選択的に析出させる工程とを含むようにした。

原 理 図



1

【特許請求の範囲】

【請求項1】半導体基板上に半導体素子の下部構造を形成する工程と、

この半導体素子の下部構造全面を覆う絶縁層を形成する工程と、

この絶縁層に上記下部構造に対して導電接続を行うためのコンタクトホールを形成する工程と、

前記絶縁層とコンタクトホールとの全面に金属層を形成する工程と、

この金属層の残渣が上記絶縁層上に残らなくなるまで異方性エッチングして上記コンタクトホール内に上記金属層の金属からなるプラグを形成する工程と、

このコンタクトホール内に形成されたプラグに上記金属層と同一の金属を選択的に析出させる工程と、

を含むことを特徴とする半導体装置の製造方法。

【請求項2】半導体基板上に半導体素子の下部構造を形成する工程と、

この半導体素子の下部構造全面を覆う絶縁層を形成する工程と、

この絶縁層に上記下部構造に対して導電接続を行うためのコンタクトホールを形成する工程と、

上記絶縁層とコンタクトホールとの全面に導電性を有する拡散防止層を形成する工程と、

この拡散防止層の全面に金属層を形成する工程と、

この金属層の残渣が上記拡散防止層上に残らなくなるまで異方性エッチングして上記拡散防止層で被覆されたコンタクトホール内に上記金属層の金属からなるプラグを形成する工程と、

このコンタクトホール内に形成されたプラグに上記金属層と同一の金属を選択的に析出させる工程と、

を含むことを特徴とする半導体装置の製造方法。

【請求項3】コンタクトホール内に形成されるプラグおよびこのプラグに選択的に析出される金属が、タングステンであることを特徴とする請求項1あるいは請求項2記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】高いアスペクト比を有するスルーホールを有する半導体装置に好適な、半導体装置の製造方法に関する。

【0002】

【従来の技術】半導体装置の電極および半導体基板のソース領域やドレイン領域などのアクティブ領域などの下部構造に対して電気的な接続を行うために、これら電極や領域を覆う絶縁層にスルーホールを設け、このスルーホールを介してこれらの下部構造と上部に設けられる配線とを電気的に接続することが行われている。

【0003】このスルーホールの深さが径に比して小さい、すなわちアスペクト比が小さい場合には、上記の絶縁層上にアルミニウムなどの導電材料を蒸着などによっ

て配線する際に、この導電材料がスルーホールの内面からその底面に相当する上記ゲート電極やアクティブ領域までを覆うため、特別な手段を講じなくとも下部構造と配線とは電気的に安定に接続される。

【0004】しかしながら、下部構造の微細化に伴ってこの下部構造に対する絶縁層の厚さが相対的に増大するのでコンタクトホールのアスペクト比も大きくなり、蒸着などの方法によって配線を行うと、この配線材料がスルーホール内面、特に側面に充分付着せず、この部分での電気抵抗が大きくなったり、甚だしい場合には電気的な接続が行われないなどの問題が生じる。

【0005】このため、アスペクト比の大きいスルーホールを使用する場合には、このスルーホールに導電材料からなるプラグを設け、下部構造と配線とをこのプラグを介して電気的に接続することが行われるようになつた。

【0006】図3は、上記のようなプラグを用いて下部構造と配線との接続を行うようにした従来の半導体装置の製造方法の一例を示すもので、半導体基板S上に形成された1つのゲート電極Gと、アクティブ領域Aと、素子を分離するためのフィールド酸化物Fとを含む領域の断面図を示した。なお、図示の便宜上、コンタクトホールHのアスペクト比は小さく示されている。

【0007】同図(a)は、半導体基板S上にゲート電極Gとソース領域あるいはドレイン領域として機能するアクティブ領域Aとからなる下部構造が形成された後、その全面を覆って堆積された絶縁層Iに上記ゲート電極Gおよびアクティブ領域Aに対して導電接続を行うためのコンタクトホールHがそれぞれ設けられている。

【0008】この従来例では、絶縁層Iの表面とコンタクトホールHの内面を覆って、導電性を維持するとともに不純物の拡散を防止するためのTiN層(チタンナイトライド層)Tが設けられている。なお、このTiN層のみによっては、下部構造と配線との電気的接続は未だ充分に行われない。

【0009】同図(b)は、このコンタクトホールHに充填されてプラグPとなる導電材料、例えばタングステンをTiN層の全面に堆積してから異方性エッチングを行った状態を示すものであつて、この状態ではコンタクトホール内のプラグは既に所望の形状になっているが、TiN層の上には未だ導電材料の残渣Bが残っている。

【0010】このTiN層表面上に残っている導電材料の残渣Bは配線の短絡などを始めとする配線不良を引き起こすので、この残渣を除去するために更に異方性エッチングが続けられて、同図(c)に示す状態になる。

【0011】この同図(c)の状態では、コンタクトホールH以外のTiN層Tの表面にある導電材料の残渣Bは完全に除去されているが、プラグ(コンタクトホール内の導電材料)Pに対しては過度のエッチング(オーバーエッチング)となるため、このプラグPは図示のようにそ

の上面が過度に削られてリセス(凹部)が深くなり、さらに、このプラグ表面が荒れた状態になることもある。

【0012】このような状態から、例えばアルミニウムなどの配線材料の全面への堆積とそこからの不要部分の除去によって配線Cを行うと同図(d)に示す状態となるが、プラグPの表面のリセスが深いことから、この図に矢印を付した太線で示したように、特にコンタクトホールの肩部などにおいて配線材料Cの層が薄くなつて接続の不良や断線を生じることがあり、さらに、プラグ表面の荒れによる配線との接続不良を生じることがある。

【0013】絶縁層表面に残渣を生じることなくコンタクトホールにプラグを埋込む他の方法として、コンタクトホール内に導電材料を選択的に堆積させることができると考えられるが、この場合にはコンタクトホール底面の導電接続すべき部分とそれ以外の絶縁層表面との導電材料の選択比が大きくなければならず、また、コンタクトホール底面の導電接続すべき部分の材料が異なればそれぞれの材料に応じて別個の処理を行わなければならないこともある。

【0014】特に、この従来例のように、TiN層が設けられている場合には、コンタクトホールのみならず絶縁層表面を含めて下部構造の全面にこのTiN層が設けられた状態でプラグの埋込みを行なうために、上記のような選択的な堆積を行うことができない。

【0015】

【解決しようとする課題】本発明は、オーバーエッチングによって生じるプラグのリセスや表面の荒れを解消して、安定した配線を行い得るようにすることを目的とする。

【0016】

【課題を解決するための手段】図1は本発明の原理を示すもので、同図(a)は上記のようにオーバーエッチングによってコンタクトホールのプラグにリセスが生じた状態を示すものであり、本発明によってこのリセスを生じたプラグの表面にこのプラグと同一の金属材料を選択的に堆積させることによって、同図(b)に示すように上面がほぼ絶縁膜と平らで、荒れのないプラグが生成される。

【0017】また、同図(c)に示すように、絶縁層とコンタクトホールの全面に導電性を維持するとともに不純物の拡散を防止するためのTiN(チタンナイトライド)などの導電性拡散防止層が設けられている場合にも、このプラグと拡散防止層に対するプラグ材料の金属の析出の際の選択比が異なるから析出処理は容易であり、上記と同様に、上面がほぼ絶縁膜と平らで、荒れのないプラグを生成することができる。

【0018】本発明によって、このプラグ表面と絶縁膜の表面との上に形成される配線は、ほぼ平坦な面上に形成されるとともにプラグ表面が荒れていないことから、このプラグを下部構造への電気的接続端として絶縁層表

面に配線を行えば安定した導電接続を有する配線が得られる。

【0019】なお、プラグに使用する金属材料、したがってプラグに選択的に析出させる材料としては、このプラグ形成後の半導体装置の接続過程において加わる温度に耐えるとともに他の構成要素に拡散して不純物としての影響を及ぼさないような導電材料であればよく、例えばタンクステンなどの高融点の導電材料を用いることができる。

10 【0020】また、図1(c)のように、拡散防止層を設ける場合には、この層が拡散を防止する機能を有していることから、プラグ形成後の半導体装置の接続過程において加わる温度に耐える金属であればよいので、上記したタンクステン以外の材料であっても用いることができる。

【0021】

【実施例】先ず、N型のシリコンウェハSの所要の個所にP-ウェル、N-ウェルなどの活性領域Aを作成した後、素子を分離するための6,000Åのフィールド酸化膜Fを形成する。

【0022】次いで200Åのゲート酸化膜、2,500Åのポリシリコン膜、2,000Åの窒化膜からなるゲート電極Gを形成する膜を堆積し、その上に3,000Åのゲート酸化膜を形成し、レジストを全面に塗布してからゲート電極形成用のマスクパターンを使用してゲート電極となる部分に露光してから現像を行い、その後、エッチングすることによって未露光部分のゲート酸化膜、ポリシリコン膜および窒化膜を除去してゲート電極Gを形成する。

【0023】次いで、良質な層間絶縁膜Iを得るために、絶縁性が良好で緻密なNSG膜を2,000Å、流動性がよいBPSG膜を5,000Å、順次堆積する。

【0024】次にコンタクトホールを形成するために、上記層間絶縁膜上にレジストを塗布してからコンタクトホールに相当する部分を除いて露光して現像することによってコンタクトホール部分のレジストを除去し、その後、エッチングしてコンタクトホールHを形成する。

【0025】次いで、図2(a)に示したように、導電接続を改善するとともに拡散を防止するための拡散防止層としてTiN層Tを上記した構造を有するウェハの全面に堆積する。なお、以上に述べた半導体装置の下部構造の製造工程は公知のものであるので、より詳細な説明や図示は省略する。

【0026】次に、図2(a)に示した半導体装置の下部構造のTiN層で表面が覆われているコンタクトホールH内にタンクステンプラグを形成するするために、CVD法によって下記の1ないし7のステップによる堆積処理を順次行い、図2(b)に示すように、7,000Åの厚みを有するタンクステン層Wを下部構造全面に堆積する。なお、このときのウェハを載置するAl₂O₃製のサセプタの温度は450°C、ウェハの温度は400°Cである。

【0027】

* * 【表1】

	処理時間 (sec)	Ar (SCCM)	N ₂ (SCCM)	SiH ₄ (SCCM)	WF ₆ (SCCM)	H ₂ (SCCM)	圧力 (torr)
1	10.0	2,200	300	—	—	—	0.6
2	45.0	2,200	300	30.0	—	—	0.6
3	90.0	2,200	300	5.0	7.0	—	0.6
4	80.0	2,200	20	—	—	1,800	80
5	20.0	2,200	20	—	36.0	1,800	80
6	10.0	2,700	300	—	—	50	80
7	90.0	2,700	300	—	75.0	500	80

【0028】次に、コンタクトホールH内のプラグとなるタンゲステンを残して層間絶縁膜I上のタンゲステン層Wを除去するためのエッチパックを異方性エッティングにより行う。この異方性エッティングとして、下記の8～※

※11のステップからなるプラズマエッティングを行った。なお、この処理時のウェハ温度は20℃である。

【0029】

【表2】

	処理時間 (sec)	SF ₆ (SCCM)	Ar (SCCM)	He (SCCM)	高周波 (SCCM)	圧力 (mtoorr)
8	5.0	80	40	20	ON	150
9	終点判定	80	40	20	ON	150
10	30.0	80	40	20	ON	150
11	70.0	20	100	25	ON	170

【0030】なお、上記ステップ9の“終点判定”は、プラズマエッティング中にTiN層Tの上面のタンゲステンが除去されるとこのTiN層の露出面積が増大し、その結果、TiNの分解により生成するN₂ガスの量が増加する点に着目して、N₂の発光強度がエッティング開始時の発光強度から5%上昇した点を層間絶縁膜I上のタンゲステン層Wが実質的に除去された点と判定したものである。

【0031】上記のエッチパックのステップ9が終了した状態が図2(c)に示してあり、コンタクトホール内にはプラグPが形成されているが、このステップ8、9のエッチパック処理によって配線の短絡などを生じる虞れのあるタンゲステンの残渣Bがコンタクトホールの周囲などに残存しているので、次のステップ10およびステップ11によってオーバーエッティングを行ってこの残渣Bを除去する。

【0032】しかしながら、このオーバーエッティングによって、図2(d) 図示のように、タンゲステンプラグP

に深いリセスが生じるばかりでなく、プラグ表面が荒れてしまうこともある。

【0033】ここまでプロセスは従来のものと同様であり、従来はこの深いリセスを有するタンゲステンプラグPに直接配線を行っていたが、このように深くかつ表面が荒れたプラグに配線を行うとプラグと配線間の接続が不完全になったり、甚だしい場合には断線が発生することさえある。

【0034】そこで、本発明によって、この実施例では、上記のようにしオーバーエッティングされているコンタクトホール内のタンゲステンプラグP上に、CVD法を適用してこのプラグPと同一の材料であるタンゲステンを下記の12ないし14のステップで選択的に析出させる。

【0035】

【表3】

	処理時間 (sec)	Ar (SCCM)	N ₂ (SCCM)	SiH ₄ (SCCM)	WF ₆ (SCCM)	圧力 (torr)
12	10.0	2,200	300	—	—	0.6
13	45.0	2,200	300	30.0	—	0.6
14	90.0	2,200	300	9.0	10.0	0.6

【0036】なお、上記のステップ12ないしステップ14におけるサセプタ温度は300°C、このサセプタ上に載置されているウェハの温度は280°Cである。

【0037】この処理によってタングステンプラグ上に析出したタングステンは、図2(e)に示すように、コンタクトホールH内のタングステンプラグPのオーバーエッチングによるリセスを埋めてプラグの表面が周囲のTiN層Tの表面とほぼ平坦になり、しかも、プラグ表面がタングステンが析出した状態にあることから荒れがないので、このプラグと配線との導電接続は完全なものとなる。

【0038】その後、図2(f)に示すように、このようにして形成されたタングステンプラグの表面(すなわち、析出したタングステンDの表面)を含む半導体構造の全面に例えばアルミニウムなどの導電性材料からなる配線層を堆積した後、配線以外の部分の配線層とTiN層をフォトリソグラフなどによって除去することによって、図2(g)に示すようなTiN層Tと配線Cなどが重疊した所要の配線パターンを絶縁層I上に形成することができる。

【0039】また、上記ステップ12~14の処理によってTiN層Tの表面に再びタングステン膜が生成されることがあっても、このタングステン膜は軽度のエッチングを

行うことによって容易に除去することができる。

【0040】なお、上述の実施例においては、拡散防止層としてTiN層を設けているが、この拡散防止層を有していない場合にも、本発明を適用することによってコンタクトホールを介した導電接続が良好な半導体装置が得られることは、特に説明するまでもなく明らかであろう。

【0041】

【発明の効果】本発明によれば、オーバーエッチングによってプラグに生じたリセスが選択析出した金属で埋められているので、その表面は周囲の絶縁層とほぼ平坦な状態となり、この平坦化によって安定した特性を有する配線が可能になる。

【0042】また、このプラグの表面は析出した金属面となるので荒れがなく、この点からも配線とプラグの導電接続はより完全なものとなるという、従来技術には期待できない格別の効果が得られる。

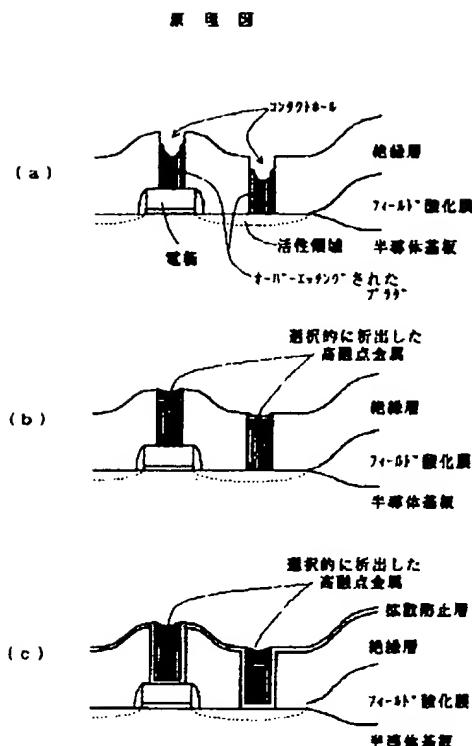
【図面の簡単な説明】

【図1】本発明の原理を示す図である。

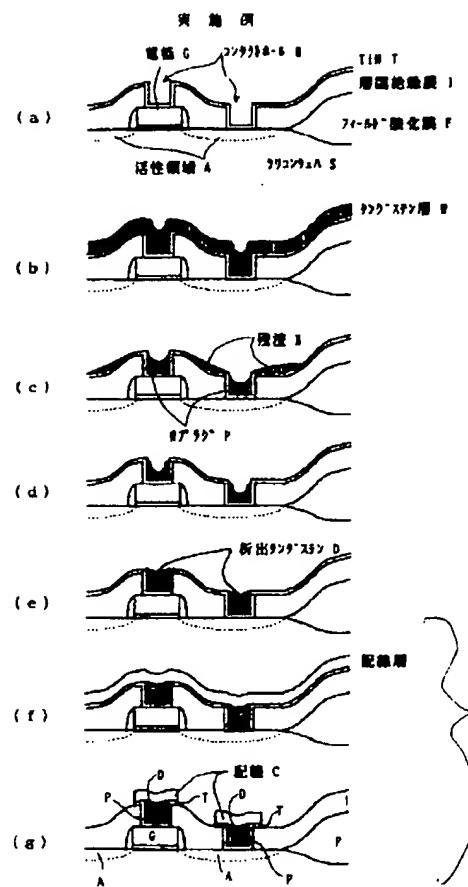
【図2】本発明による半導体装置の製造方法の実施例を示す図である。

【図3】従来の半導体装置の製造方法の例を示す図である。

【図1】



【図2】



【図3】

